

The present invention relates to a method of manufacturing a semiconductor device and more particularly to a static RAM of a high resistance load type formed on a semiconductor substrate. Specifically, an insulating film 2 is formed on a silicon substrate by CVD method or thermal oxidation method and a polycrystalline silicon layer 3 is formed thereon by CVD method. This polycrystalline silicon layer 3 is formed into a high resistance part 4 and a wiring part 5 using photolithography method and ion implantation method, during which a wiring part 6 that is a part where the wiring part 5 and the high resistance part 4 are in contact with each other is etched by dry etching method by making a photoresist pattern a mask to be thinner than the high resistance part 4.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-32264

(43)公開日 平成10年(1998)2月3日

(51)Int.Cl.⁶

H 0 1 L 21/8244
27/11

識別記号

府内整理番号

F I

H 0 1 L 27/10

技術表示箇所

3 8 1

審査請求 未請求 請求項の数5 OL (全 6 頁)

(21)出願番号 特願平8-185197

(22)出願日 平成8年(1996)7月15日

(71)出願人 000002369

セイコーホーリン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 生田目 建

長野県諏訪市大和3丁目3番5号 セイコ
ーホーリン株式会社内

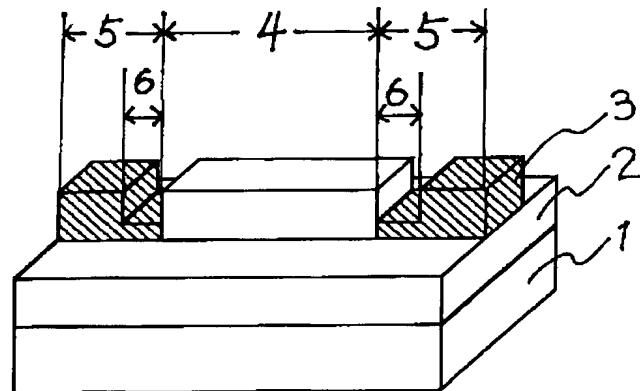
(74)代理人 弁理士 鈴木 喜三郎 (外2名)

(54)【発明の名称】 半導体装置及び半導体装置の製造方法

(57)【要約】

【解決手段】半導体基板上に形成された高抵抗負荷型のスタティックRAMに関する。シリコン基板1の上に絶縁膜2をCVD法または熱酸化法によりにより形成する。その上に多結晶シリコン層3をCVD法で形成する。この多結晶シリコン層3をフォトリソグラフィ法、イオン注入法を用いて、高抵抗部4と配線部5にする。このとき配線部5と高抵抗部4が接している部分である配線部6を、フォトレジストパターンをマスクにしてドライエッティング法でエッティングし、高抵抗部4よりも薄くする。

【効果】高抵抗負荷型のスタティックRAMにおいて、高抵抗部に接する配線部分を高抵抗部よりも薄くすることにより、高抵抗部の長さを伸ばすことなく高抵抗負荷型のスタティックRAMの消費電流を少なくさせる効果がある。



【特許請求の範囲】

【請求項 1】半導体基板上に形成された高抵抗負荷型のスタティックRAMにおいて、高抵抗部と配線部が同一配線層で形成された該配線部が、少なくとも該高抵抗部と接する部分近傍において該高抵抗部より薄く形成されることを特徴とする半導体装置。

【請求項 2】半導体基板上に形成された高抵抗負荷型スタティックRAMにおいて、該配線部と該高抵抗部となる配線層で形成する工程、フォトリソグラフィ法を用いて該高抵抗部となる領域にフォトレジストパターンを形成する工程、イオン注入法を用いて該フォトレジストパターン以外の領域に該配線部を形成しフォトレジストパターン領域に該高抵抗部を形成する工程、フォトリソグラフィ法を用いて該配線部の該高抵抗部と接する部分以外にフォトレジストパターンを形成する工程、該フォトレジストパターンをマスクにしてドライエッチング法を用い、該配線部の該高抵抗部と接する部分をエッチングし該配線部を薄くする工程、フォトリソグラフィ法及びドライエッチング法を用いて該配線部と該高抵抗部を同時にパターニングする工程を経ることを特徴とする半導体装置の製造方法。

【請求項 3】該配線部と該高抵抗部となる配線層を形成する工程、フォトリソグラフィ法を用いて該配線部の該高抵抗部と接する部分となる領域以外にフォトレジストパターンを形成する工程、該フォトレジストパターンをマスクにしてドライエッチング法を用い、該配線部の該高抵抗部と接する部分となる領域をエッチングし該配線部となる領域を薄くする工程、フォトリソグラフィ法を用いて該高抵抗部となる領域にフォトレジストパターンを形成する工程、イオン注入法を用いて該フォトレジストパターン以外の領域に該配線部を形成しフォトレジストパターン領域に該高抵抗部を形成する工程、フォトリソグラフィ法及びドライエッチング法を用いて該配線部と該高抵抗部を同時にパターニングする工程を経ることを特徴とする半導体装置の製造方法。

【請求項 4】半導体基板上方に、配線部及び高抵抗部となる配線層を形成する工程、フォトリソグラフィ法を用いて選択的にフォトレジストパターンを形成する工程、イオン注入法を用いて該フォトレジストパターン以外の領域に該配線部を形成しフォトレジストパターン領域に該高抵抗部を形成する工程、全面にシリコン窒化膜を形成する工程、フォトリソグラフィ法を用いて該配線部が該高抵抗部と接する部分以外にフォトレジストパターンを形成する工程、該フォトレジストパターンをマスクにしてドライエッチング法を用い、該配線部が該高抵抗部と接する部分を熱酸化し、該配線部を薄くする工程、該シリコン窒化膜を除去する工程、フォトリソグラフィ法及びドライエッチング法を用いて該配線部と該高

抵抗部を同時にパターニングする工程を有することを特徴とする半導体装置の製造方法。

【請求項 5】半導体基板上方に配線部及び高抵抗部となる配線層で形成する工程、全面にシリコン窒化膜を形成する工程、フォトリソグラフィ法を用いて該配線予定部が該高抵抗予定部と接する部分以外にフォトレジストパターンを形成する工程、該フォトレジストパターンをマスクにしてドライエッチング法を用い、該配線部が該高抵抗部と接する部分となる領域の直上のシリコン窒化膜をエッチングする工程、該シリコン窒化膜をマスクにして、該配線部が該高抵抗部と接する部分となる領域を熱酸化し、該配線部となる該配線層を薄くする工程、該シリコン窒化膜を除去する工程、フォトリソグラフィ法を用いて該高抵抗部となる領域にフォトレジストパターンを形成する工程、イオン注入法を用いて該フォトレジストパターン以外の領域に該配線部を形成しフォトレジストパターン領域に該高抵抗部を形成する工程、フォトリソグラフィ法及びドライエッチング法を用いて該配線部と該高抵抗部を同時にパターニングする工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置、特に高抵抗負荷型のスタティックRAMにおける高抵抗部の構造及びその製造方法に関する。

【0002】

【従来の技術】図6は従来の高抵抗負荷型スタティックRAMにおける配線部と同一配線層で形成された高抵抗部の鳥瞰図である。

30 【0003】図において1はシリコン基板、2は絶縁膜、3は多結晶シリコン層、4は高抵抗部、5は配線部である。

【0004】

【発明が解決しようとする課題】従来の高抵抗型のスタティックRAMにおける該配線部と同一配線層で形成された該高抵抗部は、該配線部から該高抵抗部への不純物の拡散により該高抵抗部の抵抗値が減少し、該高抵抗部の長さを自由に設定できなかった。

40 【0005】本発明の課題は、高抵抗負荷型のスタティックRAMにおける該高抵抗部へ該配線部からの不純物の拡散を妨げ、該高抵抗部の長さを自由に設定することを実現することにある。

【0006】

【課題を解決するための手段】上記課題を解決するため、本発明の半導体装置及び半導体装置の製造方法は、半導体基板上に形成された高抵抗負荷型のスタティックRAMにおいて、高抵抗部と同一配線層で形成された配線部において該高抵抗部と接する部分が該配線部と該高抵抗部が接する部分以外よりも薄くなっていることを特徴とする半導体装置により達成される。

【0007】そして、この半導体装置の製造方法として、高抵抗負荷型のスタティックRAMにおいて該高抵抗部と同一配線層で形成された該配線部が該高抵抗部と接する部分を薄くする方法として、該配線予定部と該高抵抗予定部とを同一配線層で形成する工程、フォトリソグラフィ法を用いて該高抵抗予定部にフォトレジストパターンを形成する工程、イオン注入法を用いて該フォトレジストパターン以外の領域に該配線部を形成しフォトレジストパターン領域に該高抵抗部を形成する工程、フォトリソグラフィ法を用いて該配線部の該高抵抗部と接する部分以外にフォトレジストパターンを形成する工程、該フォトレジストパターンをマスクにしてドライエッティング法を用い、該配線部の該高抵抗部と接する部分をエッティングし該配線部を薄くする工程、フォトリソグラフィ法及びドライエッティング法を用いて該配線部と該高抵抗部を同時にパターニングする工程を経ることを特徴とする半導体装置の製造方法により達成される。

【0008】また、高抵抗負荷型スタティックRAMにおいて該高抵抗部と同一配線層で形成された該配線部が、該高抵抗部と接する部分を薄くする方法として、該配線予定部と該高抵抗予定部とを同一配線層で形成する工程、フォトリソグラフィ法を用いて該配線予定部の該高抵抗予定部と接する部分以外にフォトレジストパターンを形成する工程、該フォトレジストパターンをマスクにしてドライエッティング法を用い、該配線予定部の該高抵抗予定部と接する部分をエッティングし該配線予定部を薄くする工程、フォトリソグラフィ法を用いて該高抵抗予定部にフォトレジストパターンを形成する工程、イオン注入法を用いて該フォトレジストパターン以外の領域に該配線部を形成しフォトレジストパターン領域に該高抵抗部を形成する工程、フォトリソグラフィ法及びドライエッティング法を用いて該配線部と該高抵抗部を同時にパターニングする工程を経ることを特徴とする半導体装置の製造方法でも達成される。

【0009】また、高抵抗負荷型スタティックRAMにおいて、該高抵抗部と同一配線層で形成された該配線部の該高抵抗部と接する部分において該高抵抗部より薄くする方法として、該配線予定部と該高抵抗予定部とを同一配線層で形成する工程、フォトリソグラフィ法を用いて該高抵抗予定部にフォトレジストパターンを形成する工程、イオン注入法を用いて該フォトレジストパターン以外の領域に該配線部を形成しフォトレジストパターン領域に該高抵抗部を形成する工程、全面にシリコン窒化膜を形成する工程、フォトリソグラフィ法を用いて該配線部が該高抵抗部と接する部分以外にフォトレジストパターンを形成する工程、該フォトレジストパターンをマスクにしてドライエッティング法を用い、該配線部が該高抵抗部と接する部分直上のシリコン窒化膜をエッティングする工程、該シリコン窒化膜をマスクにして、該配線部が該高抵抗部と接する部分を熱酸化し、該配線部を薄く

する工程、該シリコン窒化膜を除去する工程、フォトリソグラフィ法及びドライエッティング法を用いて該配線部と該高抵抗部を同時にパターニングする工程を経ることを特徴とする半導体装置の製造方法でも達成される。

【0010】また、高抵抗負荷型スタティックRAMにおいて、該高抵抗部と同一配線層で形成された該配線部の該高抵抗部と接する部分において該高抵抗部より薄くする方法として、該配線予定部と該高抵抗予定部とを同一配線層で形成する工程、全面にシリコン窒化膜を形成

10 する工程、フォトリソグラフィ法を用いて該配線予定部が該高抵抗予定部と接する部分以外にフォトレジストパターンを形成する工程、該フォトレジストパターンをマスクにしてドライエッティング法を用い、該配線予定部が該高抵抗予定部と接する部分直上のシリコン窒化膜をエッティングする工程、該シリコン窒化膜をマスクにして、該配線予定部が該高抵抗予定部と接する部分を熱酸化し、該配線予定部を薄くする工程、該シリコン窒化膜を除去する工程、フォトリソグラフィ法を用いて該高抵抗予定部にフォトレジストパターンを形成する工程、イオ

20 ン注入法を用いて該フォトレジストパターン以外の領域に該配線部を形成しフォトレジストパターン領域に該高抵抗部を形成する工程、フォトリソグラフィ法及びドライエッティング法を用いて該配線部と該高抵抗部を同時にパターニングする工程を経ることを特徴とする半導体装置の製造方法でも達成される。

【0011】

【発明の実施の形態】本発明の一実施例を図1に示す。

【0012】図1は高抵抗負荷型のスタティックRAMにおける高抵抗部と同一配線層で形成された配線部の鳥瞰図である。

【0013】シリコン基板1の上に絶縁膜2が形成され、その上に多結晶シリコン層3で形成された高抵抗部4と配線部5がある。この配線部5と高抵抗部4が接している部分で、高抵抗部4よりも薄くなつた配線部6を有する構造をしている。この構造に関する一実施例を図2、図3、図4、図5により説明する。

【0014】(実施例1)図2においてシリコン基板1上に絶縁膜2をCVD法または熱酸化法により形成し、その上に多結晶シリコン層3をCVD法で形成する

40 (a)。フォトリソグラフィ法を用いて高抵抗予定部7にフォトレジストパターン8を形成する(b)。イオン注入法を用いてフォトレジストパターン8以外の領域に不純物9を注入して配線部10を形成し、フォトレジストパターン8の領域に高抵抗部7を形成する(c)。フォトレジストパターン8を除去後、更にフォトリソグラフィー法を用いて配線部10と高抵抗部7の接する部分以外にフォトレジストパターン11を形成する(d)。フォトレジストパターン11をマスクにしてドライエッティング法で配線部10の高抵抗部7と接する部分をエッティングし、配線部と高抵抗部が接している部分を薄くす

る (e)。フォトレジストパターン 11 を除去後、フォトリソグラフィー法及びドライエッチング法を用いて高抵抗部 7 と配線部 10 とを同時に配線層としてパターンングする (f) ことにより実現される。

【0015】(実施例2) 図3においてシリコン基板1上に絶縁膜2をCVD法または熱酸化法により形成し、その上に多結晶シリコン層3をCVD法で形成する

(a)。フォトリソグラフィー法を用いて配線予定部10と高抵抗予定部7の接する部分以外にフォトレジストパターン11を形成する (b)。フォトレジストパターン11をマスクにしてドライエッチング法で配線予定部10の高抵抗予定部7と接する部分をエッチングし、配線予定部と高抵抗予定部が接している部分を薄くする (c)。更にフォトレジストパターン11を除去後、フォトリソグラフィ法を用いて高抵抗予定部7にフォトレジストパターン8を形成する (d)。イオン注入法を用いてフォトレジストパターン8以外の領域に不純物9を注入して配線部10を形成し、フォトレジストパターン8の領域に高抵抗部7を形成する (e)。フォトレジストパターン8を除去後、フォトリソグラフィー法及びドライエッチング法を用いて高抵抗部7と配線部10とを同時に配線層としてパターンングする (f) ことにより実現される。

【0016】(実施例3) 図4においてシリコン基板1上に絶縁膜2をCVD法または熱酸化法により形成し、その上に多結晶シリコン層3をCVD法で形成する

(a)。フォトリソグラフィ法を用いて高抵抗予定部7にフォトレジストパターン8を形成する (b)。イオン注入法を用いてフォトレジストパターン8以外の領域に不純物9を注入して配線部10を形成し、フォトレジストパターン8の領域に高抵抗部7を形成する (c)。フォトレジストパターン8を除去後、全面にシリコン窒化膜12をCVD法で形成する (d)。フォトリソグラフィー法を用いて配線部10と高抵抗部7の接する部分以外にフォトレジストパターン11を形成する (e)。フォトレジストパターン11をマスクにしてドライエッチング法で配線部10の高抵抗部7と接する部分の直上のシリコン窒化膜12をエッチングする (f)。フォトレジストパターン11を除去後、シリコン窒化膜パターン13をマスクにして、高抵抗部7と接する配線部を熱酸化してシリコン酸化膜14を形成し、高抵抗部と接する配線部を薄くする (g)。シリコン窒化膜パターン13とシリコン酸化膜14を除去後、フォトリソグラフィ法を用いて高抵抗予定部7にフォトレジストパターン8を形成する (h) ことにより実現される。

【0017】(実施例4) 図5においてシリコン基板1上に絶縁膜2をCVD法または熱酸化法により形成し、その上に多結晶シリコン層3をCVD法で形成する

(a)。全面にシリコン窒化膜12をCVD法で形成す

る (b)。フォトリソグラフィー法を用いて配線予定部10と高抵抗予定部7の接する部分以外にフォトレジストパターン11を形成する (c)。フォトレジストパターン11をマスクにしてドライエッチング法で配線予定部10の高抵抗予定部7と接する部分の直上のシリコン窒化膜12をエッチングする (d)。フォトレジストパターン11を除去後、シリコン窒化膜パターン13をマスクにして、高抵抗部7と接する配線部を熱酸化してシリコン酸化膜14を形成し、高抵抗部と接する配線部を薄くする (e)。シリコン窒化膜パターン13とシリコン酸化膜14を除去後、フォトリソグラフィ法を用いて高抵抗予定部7にフォトレジストパターン8を形成する (f)。イオン注入法を用いてフォトレジストパターン8以外の領域に不純物9を注入して配線部10を形成し、フォトレジストパターン8の領域に高抵抗部7を形成する (g)。フォトレジストパターン8を除去後、フォトリソグラフィー法及びドライエッチング法を用いて高抵抗部7と配線部10とを同時に配線層としてパターンングする (h) ことにより実現される。

【0018】

【発明の効果】本発明によれば、高抵抗負荷型のスタティックRAMにおいて、高抵抗部に接する配線部分を高抵抗部より薄くすることにより、高抵抗部の長さを伸ばすことなく高抵抗負荷型のスタティックRAMの消費電流を少なくさせる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の高抵抗負荷型のスタティックRAMにおける配線部と同一配線層で形成された高抵抗部の鳥瞰図である。

【図2】本発明の一実施例の高抵抗負荷型のスタティックRAMにおける配線部と同一配線層で形成された高抵抗部の製造方法の鳥瞰図である。

【図3】本発明の一実施例の高抵抗負荷型のスタティックRAMにおける配線部と同一配線層で形成された高抵抗部の製造方法の鳥瞰図である。

【図4】本発明の一実施例の高抵抗負荷型のスタティックRAMにおける配線部と同一配線層で形成された高抵抗部の製造方法の鳥瞰図である。

【図5】本発明の一実施例の高抵抗負荷型のスタティックRAMにおける配線部と同一配線層で形成された高抵抗部の製造方法の鳥瞰図である。

【図6】従来の高抵抗負荷型のスタティックRAMにおける配線部と同一配線層で形成された高抵抗部の鳥瞰図である。

【符号の説明】

1 シリコン基板

2 絶縁膜

3 多結晶シリコン層

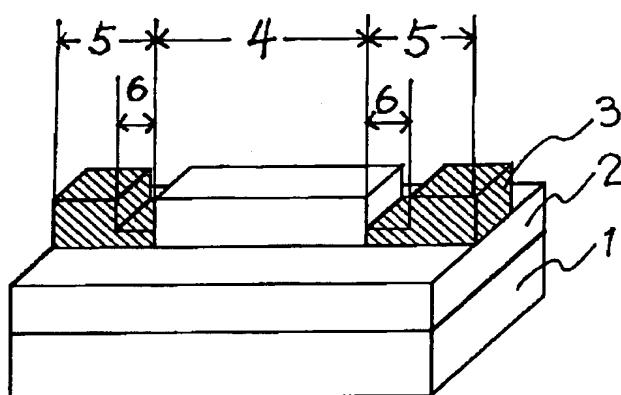
4 高抵抗部

5 配線部

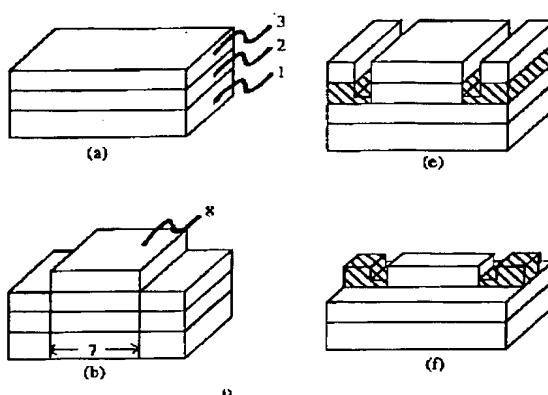
6 薄くなった配線部
 7 高抵抗予定部または高抵抗部
 8 フォトレジストパターン
 9 不純物
 10 配線部

11 フォトレジストパターン
 12 シリコン窒化膜
 13 シリコン窒化膜パターン
 14 シリコン酸化膜

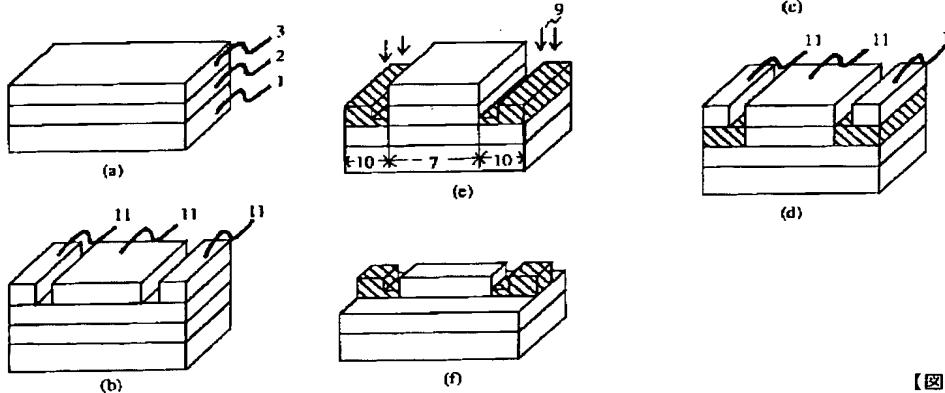
【図1】



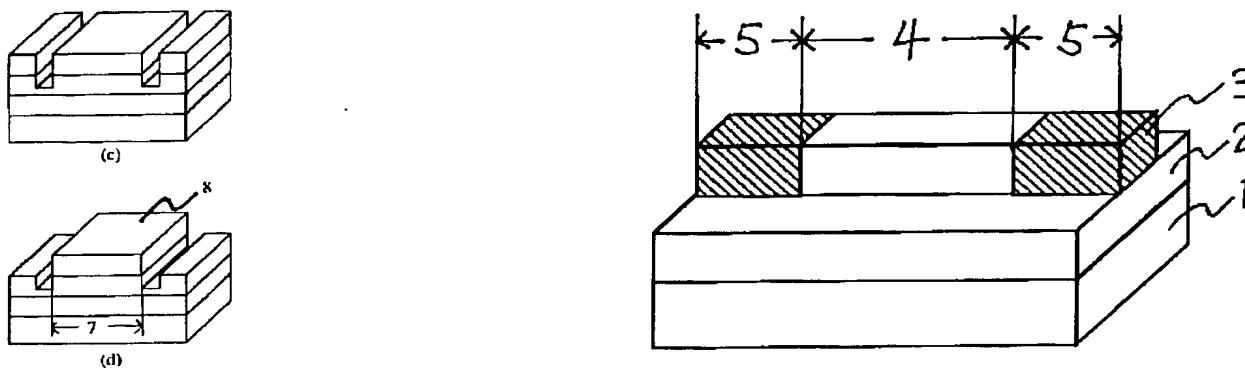
【図2】



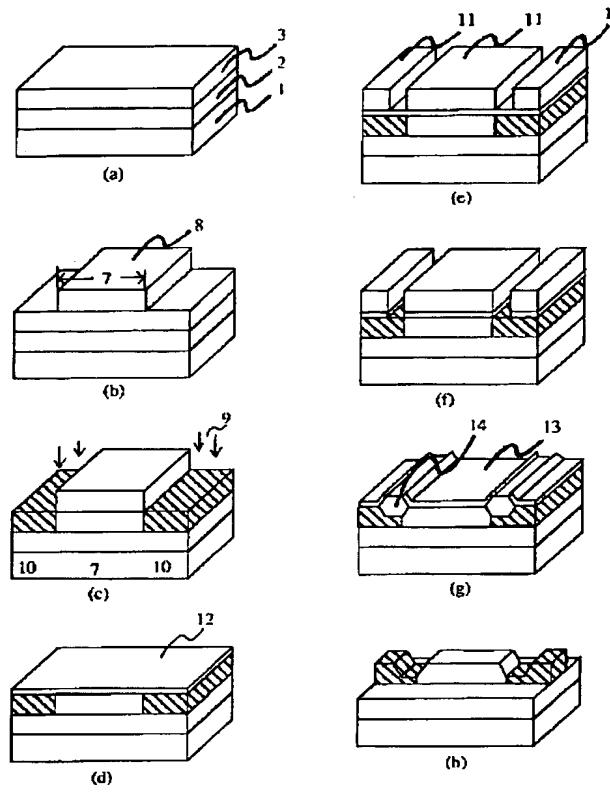
【図3】



【図6】



【図4】



【図5】

